

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-282455
(43)Date of publication of application : 03.10.2003

(51)Int.Cl.
H01L 21/205
C23C 16/02
H01L 21/365

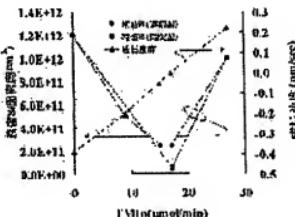
(21)Application number : 2002-084968
(22)Date of filing : 26.03.2002
(71)Applicant : NEC CORP
(72)Inventor : NANBAE KOICHI

(54) METHOD OF CLEANING AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of removing contamination due to impurities and physical damages onto the surface of a semiconductor substrate before crystal growth or on the surface of a semiconductor before regrowth, with a minimum change in shape, without inducing the diffusion of impurities or crystal defects in an original semiconductor layer.

SOLUTION: In a crystal growth apparatus, a material having etching action and a material for crystal growth are supplied at the same time onto the surface of a semiconductor wafer to be well-balanced between an etching rate and a crystal growth speed, resulting in the efficient removal of residual impurities.



LEGAL STATUS

[Date of request for examination] 21.02.2005
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-282455

(P2003-282455A)

(43)公開日 平成15年10月3日 (2003.10.3)

(51)Int.Cl.
 H 01 L 21/205
 C 23 C 16/02
 H 01 L 21/365

識別記号

F I
 H 01 L 21/205
 C 23 C 16/02
 H 01 L 21/365

テ-マート* (参考)
 4 K 0 3 0
 5 F 0 4 5

審査請求 未請求 請求項の数38 O L (全 14 頁)

(21)出願番号 特願2002-84968(P2002-84968)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(22)出願日 平成14年3月26日 (2002.3.26)

(72)発明者 離波江 宏一
東京都港区芝5丁目7番1号 日本電気株式会社内

(74)代理人 100110928

弁理士 速水 遼治

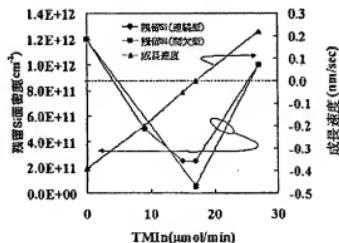
F ターム (参考) 4K030 BA11 BA55 DA04 JA01 JA05
 5F045 AB14 AB17 AB18 AB22 AB23
 AC08 AD10 AE23 AF04 BB14
 EB15 EE13 HA03

(54)【発明の名称】 清浄処理方法および半導体装置の製造方法

(57)【要約】

【課題】 もとの半導体層中の不純物沈殿や結晶欠陥の発生を誘起することなく、また形状変化を最小限にして、結晶成長前の半導体基板表面や再成長前の半導体表面の不純物汚染や物理的ダメージを再現性良く安定的に除去する手法を提供すること。

【解決手段】 結晶成長装置内で、半導体ウエハ表面に、エッティング作用のある原料と結晶成長原料を同時に供給し、エッティング速度と結晶成長速度をバランスさせることで、効率良く残留不純物を除去する。



【特許請求の範囲】

【請求項 1】 半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、同時に、または交互に、前記半導体層に接触せしめる清浄処理工程を含むことを特徴とする清浄処理方法。

【請求項 2】 半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質と結晶成長原料とを含む雰囲気により前記半導体層の表面を暴露する清浄処理工程を含むことを特徴とする清浄処理方法。

【請求項 3】 半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する清浄処理工程を含むことを特徴とする清浄処理方法。

【請求項 4】 請求項 3 に記載の清浄処理方法において、前記第一のガスおよび前記第二のガス、間欠的に供給されることを特徴とする清浄処理方法。

【請求項 5】 請求項 1 乃至 4 いずれかに記載の清浄処理方法において、前記清浄処理工程を実施する前後における前記半導体層の層厚の差が、1.00 nm 以下であることを特徴とする清浄処理方法。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の清浄処理方法において、前記清浄処理工程を実施する際に、前記半導体層の層厚が実質的に減少しないようにしたことを特徴とする清浄処理方法。

【請求項 7】 請求項 5 または 6 に記載の清浄処理方法において、前記エッチング性物質および前記結晶成長原料の量比を調整することにより前記半導体層の層厚変化を制御することを特徴とする清浄処理方法。

【請求項 8】 請求項 3 または 4 に記載の清浄処理方法において、前記半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、前記清浄処理工程を実施した際の前記半導体層の層厚変化速度を r_1 、前記半導体層表面に対して前記第一のガスのみを供給した場合の前記半導体層の層厚変化速度を r_2 としたときに、これらの層厚変化速度の絶対値が、
 $|r_1| < |r_2| < |r_1|$

となるように、前記第一のガスと前記第二のガスの供給量を調整することを特徴とする清浄処理方法。

【請求項 9】 請求項 8 に記載の清浄処理方法において、 $R < 0$ であることを特徴とする清浄処理方法。

【請求項 10】 請求項 8 または 9 に記載の清浄処理方法において、 $|R| > 0$ 、 1 nm/s ec 以下であるこ

とを特徴とする清浄処理方法。

【請求項 11】 請求項 1 乃至 10 いずれかに記載の清浄処理方法において、前記結晶成長原料が、前記半導体層を構成する元素を含むことを特徴とする清浄処理方法。

【請求項 12】 請求項 1 乃至 11 いずれかに記載の清浄処理方法において、前記結晶成長原料が、有機金属を含むことを特徴とする清浄処理方法。

【請求項 13】 請求項 1 乃至 12 いずれかに記載の清浄処理方法において、前記エッチング性物質が、ロゴン元素またはその化合物であることを特徴とする清浄処理方法。

【請求項 14】 請求項 1 乃至 13 いずれかに記載の清浄処理方法において、前記半導体層が化合物半導体からなることを特徴とする清浄処理方法。

【請求項 15】 請求項 1 に記載の清浄処理方法において、前記半導体層が $III - V$ 族化合物半導体からなることを特徴とする清浄処理方法。

【請求項 16】 請求項 15 に記載の清浄処理方法において、前記結晶成長原料が、前記半導体層を構成する $III - V$ 族元素を含む化合物であることを特徴とする清浄処理方法。

【請求項 17】 請求項 15 または 16 に記載の清浄処理方法において、前記半導体層を構成する $III - V$ 族元素が一種類からなることを特徴とする清浄処理方法。

【請求項 18】 請求項 15 乃至 17 いずれかに記載の清浄処理方法において、前記半導体層を構成する $III - V$ 族元素がインジウム (In) であることを特徴とする清浄処理方法。

【請求項 19】 半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、

前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、前記半導体層の表面に接触せしめる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 20】 半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、

前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを含む雰囲気により前記半導体層の表面を暴露する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 21】 半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を

形成する工程とを含み、

前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する工程を含むことを特徴とする半導体装置の製造方法。

【請求項22】 請求項21に記載の半導体装置の製造方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給されることを特徴とすることを特徴とする半導体装置の製造方法。

【請求項23】 請求項19乃至22いずれかに記載の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する前後における前記第一の半導体層の層厚の差が、1.00nm以下であることを特徴とする半導体装置の製造方法。

【請求項24】 請求項19乃至23いずれかに記載の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する際に、前記第一の半導体層の層厚が実質的に減少しないようにしたことを特徴とする半導体装置の製造方法。

【請求項25】 請求項23または24に記載の半導体装置の製造方法において、前記エッチング性物質および前記結晶成長原料の量比を調整することにより前記第一の半導体層の層厚変化を制御することを特徴とする半導体装置の製造方法。

【請求項26】 請求項21または22に記載の半導体装置の製造方法において、前記第一の半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、前記第一の半導体層の表面を清浄処理する前記工程を実施した際の前記第一の半導体層の層厚変化速度をR、前記第一の半導体層表面に対して前記第一のガスのみを供給した場合の前記第一の半導体層の層厚変化速度をr₁、前記第一の半導体層表面に対して前記第二のガスのみを供給した場合の前記第一の半導体層の層厚変化速度をr₂としたときに、これらの層厚変化速度の絶対値が、

$$|R| < |r_2| < |r_1|$$

となるように、前記第一のガスと前記第二のガスの供給量を調整することを特徴とする半導体装置の製造方法。

【請求項27】 請求項26に記載の半導体装置の製造方法において、R<0であることを特徴とする半導体装置の製造方法。

【請求項28】 請求項26または27に記載の半導体装置の製造方法において、|R|>0、1nm/sec以下であることを特徴とする半導体装置の製造方法。

【請求項29】 請求項19乃至28いずれかに記載の半導体装置の製造方法において、前記結晶成長原料が、前記第一の半導体層を構成する元素を含むことを特徴とする半導体装置の製造方法。

【請求項30】 請求項19乃至29いずれかに記載の

半導体装置の製造方法において、前記結晶成長原料が、有機金属を含むことを特徴とする半導体装置の製造方法。

【請求項31】 請求項19乃至30いずれかに記載の半導体装置の製造方法において、前記エッチング性物質がハロゲン元素またはその化合物であることを特徴とする半導体装置の製造方法。

【請求項32】 請求項19乃至31いずれかに記載の半導体装置の製造方法において、前記第一の半導体層が化合物半導体からなることを特徴とする半導体装置の製造方法。

【請求項33】 請求項32に記載の半導体装置の製造方法において、前記第一の半導体層がI-III-V族化合物半導体からなることを特徴とする半導体装置の製造方法。

【請求項34】 請求項33に記載の半導体装置の製造方法において、前記結晶成長原料が、前記半導体層を構成するI-III族元素を含む化合物であることを特徴とする半導体装置の製造方法。

【請求項35】 請求項34に記載の半導体装置の製造方法において、前記半導体層を構成するI-III族元素が一種類からなることを特徴とする半導体装置の製造方法。

【請求項36】 請求項35に記載の半導体装置の製造方法において、前記半導体層を構成するI-III族元素がインジウム(I-n)であることを特徴とする半導体装置の製造方法。

【請求項37】 請求項19乃至36いずれかに記載の半導体装置の製造方法において、前記第一の半導体層および前記第二の半導体層を気相成長により形成することを特徴とする半導体装置の製造方法。

【請求項38】 請求項19乃至37いずれかに記載の半導体装置の製造方法において、前記第一の半導体層を形成する工程の後、前記第一の半導体層上にマスクを形成し、つづいて前記マスクを除去した後、前記第一の半導体層の表面を清浄処理する前記工程を実施することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体層表面を清浄化する技術に関するものである。

【0002】

【従来の技術】 半導体素子の製造工程においては、半導体基板上への同種または異種の半導体層の結晶成長工程、誘電体等をマスクとしたフォトリソグラフィーと化学エッチングまたはドライエッチングによるバターンニング工程、電流ブロック構造や光吸引込め構造のための同種または異種の半導体層の再成長工程を繰り返すことが多い。この場合、結晶成長前の基板表面や再成長前の半導体成長層表面は、大気暴露やエッチング、洗浄等の

プロセスにより不純物汚染や物理的ダメージを受け易く、それらの表面にそのまま結晶成長を行うと電子特性や寿命が大幅に劣化してしまう。このため、不純物汚染や物理的ダメージ層を除去するために、結晶成長室内でエッティングを行い、その後、続けて結晶成長を行う手法が用いられてきた。

【0003】このような技術として、特許第3158651号では、成長原料としてトリメチルガリウム(TM G)及びアルシン(A₃Hg)、エッティングガスとして塩化水素(HCl)を用いてG a sの再成長直前に、成長室内でエッティングを施すことにより、炭素(C)、酸素(O)、シリコン(Si)などの不純物を除去でき、またエッティング中にHClと共にTMGを同時に供給すると、エッティングにより結晶表面に生じるストイキオメトリーカーのずれが補償され、再成長界面でのキャリアの蓄積が抑制されるとしている。

【0004】また、特開昭59-65434号公報には、G a s半導体の気相成長において、塩化水素とともにHCl族元素のアルキル化合物およびV族元素の水酸化物もしくはアルキル化合物の蒸気を同時に導入して半導体層をエッティングする技術が開示されている。エッティングの速さは、毎分0.1μmのエッティング速度の例が示されている。こうすることにより、成長開始前の下地表面を鏡面に仕立てることができるとしている。

【0005】また、特開昭1-74580号公報には、HCl族元素から成る半導体物質の気相エッティングをV族元素のハロゲン化合物および同水酸化物を含む不活性ガス雰囲気下で実施し、V族元素の水酸化物を同時に導入する技術が記載されている。同公報によれば、平坦で、かつ鏡面性に優れた基板表面を得ることができると記載されている。

【0006】

【発明が解決しようとする課題】しかしながら上記従来技術では、半導体結晶の成長元素に比べてエッティング速度が遅い汚染物質が表面に残留しやすく、例えはアイトリブルー、ジャーナルオブセレクティド、トピックスインカンタム、エレクトロニクス 第3巻 第3号 845ページ目から853ページ目 (IEEE Journal of Selected Topics in Quantum Electronics, Vol. 1, No. 3, p 845~p 853) に報告されているように、エッティングガスとしてPCl₃を用い、InP表面を成長室内外でエッティングしてもSiはほとんどエッティングされず、表面に残留してしまう。また本発明者らの実験結果では、通常の結晶成長温度付近では、特許第3158651号で示されているような結晶成長室内でのエッティングを施しても再成長界面の残留Siを除去することは容易でなかった。また、残留Siを除去しようとして基板温度を上げ過ぎたり、エッティングを深くし過ぎると、もとの半導体層の内部で不純物拡散や結晶

欠陥を生じたり、エッティングにより形状変化が起き、設計通りのデバイス構造が作製できないという問題があつた。

【0007】本発明は上記事情に鑑みてなされたものであり、その目的とするところは、もとの半導体層中の不純物拡散や結晶欠陥の発生を誘起することなく、また形状変化を最小限にして、結晶成長前の半導体基板表面や再成長前の半導体表面の不純物汚染や物理的ダメージを再現性良く安定的に除去する手法を提供することにある。

【0008】

【課題を解決するための手段】半導体表面に付着した特定の汚染物質の除去が困難な理由について、本発明者は以下のように推察した。半導体層表面に付着した汚染物質に対してエッティング性物質を作用させた場合、エッティング性物質と上記特定の汚染物質が化学反応を起こす。しかし、この化学反応によって生じた結合の結合力は比較的弱く、汚染物質がエッティング性物質と結合し化合物を形成して半導体表面から脱離しても、またすぐに結合が切れて半導体表面に再付着してしまうものと予想される。このように、半導体表面に付着した特定の汚染物質は、半導体層へ再付着するため、除去が困難であると推察される。

【0009】こうした推察のもと、本発明者は、エッティング作用のある原料と結晶成長原料の両方を、清浄処理対象となる半導体層表面に接触せしめることにより、再付着を抑制しつつ汚染物質を効率的にエッティング除去できることを見いだし、本発明を完成了。

【0010】本発明によれば、半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッティング作用を有するエッティング性物質と、結晶成長原料とを、同時に、または交互に、前記半導体層に接触せしめることによる清浄処理工程を含むことを特徴とする清浄処理方法が提供される。

【0011】また、本発明によれば、半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッティング作用を有するエッティング性物質と結晶成長原料とを含む雰囲気中に前記半導体層の表面を暴露する清浄処理工程を含むことを特徴とする清浄処理方法が提供される。

【0012】さらに、本発明によれば、半導体層の表面に付着した汚染物質を除去する清浄処理方法であって、前記半導体層に対してエッティング作用を有するエッティング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する清浄処理工程を含むことを特徴とする清浄処理方法が提供される。

【0013】半導体層表面にエッティング性物質が作用すると、半導体層表面に付着した汚染物質が表面から脱離する。しかしながら、その脱離した汚染物質の一部が再

度を高めるためにはこうした汚染物質の再付着を充分に抑制することが必要となる。そこで本発明では、エッチング性物質と、結晶成長原料とを半導体層表面に接触させ、再付着を抑制しつつ汚染物質を効率的にエッチング除去する。このような手法により汚染物質の再付着を防止できる理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって速やかに占有されることによるものと推察される。

【0014】本発明の清浄処理方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給される構成とすることができる。こうすることによって、半導体層の表面の汚染を一層効率的に除去することができる。

【0015】本発明の清浄処理方法において、前記清浄処理工程を実施する前後における前記半導体層の層厚の差が、100nm以下である構成とすることができる。こうすることにより、充分に高い清浄度を実現することができる。

【0016】本発明の清浄処理方法において、前記清浄処理工程を実施する際に、前記半導体層の層厚が実質的に減少しないようにした構成とことができる。ここで、「実質的に減少しない」とは、前記半導体層の層厚がまったく減少しないか、若干の層厚の減少があつてもその層厚変化速度が0.1nm/sec以下であることをいう。前記半導体層の層厚が実質的に減少しないように構成することで、半導体層表面に關し、充分に高い清浄度を実現することができる。

【0017】上記のように、清浄処理の対象となる半導体層の層厚変化を制御することによって充分に高い清浄度を実現できる。この理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって確実に占有されることによるものと推察される。こうした前記半導体層の層厚変化を制御は、たとえば、エッチング性物質および前記結晶成長原料の量比を調整することができる。たとえばエッチング性ガスと原料ガスの量比を適切に調整して半導体層表面に供給することにより、清浄処理対象となる半導体層が実質的にエッチングされず、また、当該半導体層の上部に新たな半導体層が実質的に成長しないようにすることができる。エッチング性物質と、結晶成長原料とのバランスが崩れ、エッチング側に傾くと、エッチングされた物質の再付着が生じ、充分な清浄度が得られない場合がある。一方、成膜の方に傾いた場合、汚染物質が充分に除去されないまま新たな半導体層が積層し、充分な清浄度が得られない。

【0018】本発明の清浄処理方法において、前記半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、前記清浄処理工程を実施した際の前記半導体層の層厚変化速度をR、前

記半導体層表面に対して前記第一のガスのみを供給した場合の前記半導体層の層厚変化速度をr₁、前記半導体層表面に対して前記第二のガスのみを供給した場合の前記半導体層の層厚変化速度をr₂としたときに、これらは層厚変化速度の絶対値が、

$$|R| < |r_2| < |r_1|$$

となるように、前記第一のガスと前記第二のガスの供給量を調整する構成とすることができる。

【0019】こうすることにより、エッチング性物質および結晶成長原料の供給バランスが適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

【0020】本発明の清浄処理方法において、R<0である構成とすることができる。こうすることによって、半導体層表面に關し、充分に高い清浄度を実現することができる。

【0021】本発明の清浄処理方法において、|R|が0.1nm/sec以下である構成とすることができる。こうすることにより、エッチング性物質および結晶成長原料の供給バランスがさらに適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。また、蒸着構造の設計も容易となる。

【0022】本発明の清浄処理方法において、前記結晶成長原料が、有機金属を含む構成とすることができる。

【0023】本発明の清浄処理方法において、前記エッチング性物質がハロゲン元素またはその化合物である構成とすることができる。

【0024】本発明の清浄処理方法において、前記半導体層が化合物半導体からなる構成とすることができる。

【0025】本発明の清浄処理方法において、前記半導体層が!!!-V族化合物半導体からなるものとすることができる。

【0026】結晶成長原料を、前記半導体層を構成する!!!-V族元素を含む化合物とした場合、エッチング性物質によって形成された半導体層中の空格子位置を当該半導体層の構成元素で占有させることができ、表面に变成層が形成することを防止できる。

【0027】前記半導体層を構成する!!!-V族元素が一種類からなるものとすることができる。こうすることにより、半導体層表面の清浄処理中に变成層の形成や組成変化が起こることを抑えることができる。

【0028】本発明の清浄処理方法において、前記半導体層を構成する!!!-V族元素がインジウム(I_n)である構成とすることができる。I_nPの気相成長においては、通常、600℃から650℃の成長温度が採用される。これは、V族元素であるリンが脱離することを防止するとともに結晶に伝導性を与えるために故意に添加されたり、たとえばアシド等の不純物の沈殿を防ぎ、設計通り

の不純物プロファイルを得るためのものである。しかしながら、このような比較的低溫の成長速度を採用した場合、成長界面の清浄処理がよりいっそう困難となる。一般に、エッチング性ガスによる成長界面の清浄処理は、雰囲気温度を高溫にするほど除去効率が高くなる。ところが、InP半導体系においては、清浄処理温度に上限が存在するため、成長界面の汚染が除去されにくく、特にシリコンの汚染が深刻な問題となる。本発明によれば、かかる成長界面の汚染の問題を有効に解決することができる。

【0029】さらに本発明によれば、以下に示す半導体装置の製造方法が提供される。ここで、半導体装置とは、発光素子、受光素子、光変調器等の光素子や、電界効果トランジスタ、バイポーラトランジスタ等の電子素子を含む。

【0030】本発明によれば、半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と、結晶成長原料とを、前記半導体層の表面に接触せしめる工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0031】また本発明によれば、半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質と結晶成長原料とを含む雰囲気にして前記半導体層の表面を暴露する工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0032】また本発明によれば、半導体基板の上部に第一の半導体層を形成する工程と、前記第一の半導体層の表面を清浄処理する工程と、前記第一の半導体層上に第二の半導体層を形成する工程とを含み、前記第一の半導体層の表面を清浄処理する前記工程は、前記半導体層に対してエッチング作用を有するエッチング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に前記半導体層の表面に供給する工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0033】半導体層表面にエッチング性物質が作用すると、半導体層表面に付着した汚染物質が表面から脱離する。しかしながら、その脱離した汚染物質の一部が再度半導体層表面に付着することがある。半導体層の清浄度を高めるためにはこうした汚染物質の再付着を充分に抑制することが必要となる。そこで本発明では、エッチング性物質と、結晶成長原料とを半導体層表面に接触させ、再付着を抑制しつつ汚染物質を効率的にエッチング

除去する。このような手法により汚染物質の再付着を防止できる理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によって速やかに占有されることによるものと推察される。

【0034】本発明の半導体装置の製造方法において、前記第一のガスおよび前記第二のガスが、間欠的に供給される構成とすることができる。こうすることによつて、半導体層の表面の汚染を一層効率的に除去することができる。

【0035】本発明の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する前後に於ける前記第一の半導体層の層厚の差が、10.0nm以下である構成とすることができる。こうすることにより、充分に高い清浄度を実現することができる。

【0036】本発明の半導体装置の製造方法において、前記第一の半導体層の表面を清浄処理する前記工程を実施する際に、前記第一の半導体層の層厚が実質的に減少しないようにした構成とすることができる。ここで、「実質的に減少しない」とは、第一の半導体層の層厚がまったく減少しないか、若干の層厚の減少があつてもその層厚変化速度が0.1nm/秒以下であることをいう。第一の半導体層の層厚が実質的に減少しないように構成することで、半導体層表面に關し、充分に高い清浄度を実現することができる。

【0037】上記のように、清浄処理の対象となる第一の半導体層の層厚変化を制御することによって充分に高い清浄度を実現できる。この理由は必ずしも明らかではないが、汚染物質が半導体層表面から脱離した後、それまで汚染物質が占有していたサイトが結晶成長原料によつて確実に占有されることによるものと推察される。こうした第一の半導体層の層厚変化を制御は、たとえば、エッチング性物質および前記結晶成長原料の量比を調整することができる。たとえばエッチング性ガスと原料ガスの量比を適切に調整して半導体層表面に供給することにより、清浄処理対象となる半導体層が実質的にエッチングされ、また、当該半導体層の上部に新たな半導体層が実質的に成長しないようにすることができる。エッチング性物質と、結晶成長原料とのバランスが崩れ、エッチング側に傾くと、エッチングされた物質の再付着が生じ、充分な清浄度が得られない場合がある。一方、成長の方に傾いた場合、汚染物質が充分に除去されないまま新たな半導体層が積層し、充分な清浄度が得られない。

【0038】本発明の半導体装置の製造方法において、前記第一の半導体層の層厚変化速度の符号を、層厚が増加する場合を正、層厚が減少する場合を負と定義し、前記第一の半導体層の表面を清浄処理する前記工程を実施した際の前記第一の半導体層の層厚変化速度をR、前記

第一の半導体層表面に対して前記第一のガスのみを供給した場合の前記第一の半導体層の層厚変化速度を r_1 、前記第一の半導体層表面に対して前記第二のガスのみを供給した場合の前記第一の半導体層の層厚変化速度を r_2 としたときに、これらの層厚変化速度の絶対値が、 $|R| < |r_2| < |r_1|$ となるように、前記第一のガスと前記第二のガスの供給量を調整する構成とことができる。こうすることにより、エッティング性物質および結晶成長原料の供給バランスがさらに適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

【0039】本発明の半導体装置の製造方法において、 $R < 0$ である構成とができる。こうすることによって、半導体層表面に付着した汚染物質を表面除去率より除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

【0040】本発明の半導体装置の製造方法において、 $|R| > 1 \text{ nm/sec}$ 以下である構成とができる。こうすることにより、エッティング性物質および結晶成長原料の供給バランスがさらに適切となり、半導体層表面に付着した汚染物質が効率よく除去されるとともに、脱離した汚染物質の半導体層への再付着を抑制することができる。

【0041】本発明の半導体装置の製造方法において、前記結晶成長原料が、有機金属性を含む構成とができる。

【0042】本発明の半導体装置の製造方法において、前記エッティング性物質がハロゲン元素またはその化合物である構成とができる。

【0043】本発明の半導体装置の製造方法において、前記第一の半導体層が化合物半導体からなる構成とができる。

【0044】本発明の半導体装置の製造方法において、第一の半導体層が $III-V$ 族化合物半導体からなるものとすることができる。このとき、記結晶成長原料が、第一の半導体層を構成する III 族元素を含む化合物である構成とができる。また、第一の半導体層を構成する $III-V$ 族元素が一種類からなるものとすることができる。こうすることにより、半導体層表面の清浄処理中に変成層の形成や粗変化が起こることを抑えることができる。

【0045】本発明の半導体装置の製造方法において、第一の半導体層を構成する III 族元素がインジウム(In)である構成とができる。 InP の気相成長においては、通常、 600°C から 650°C の成長温度が採用される。これは、 V 族元素であるリンが脱離することを防止するとともに不純物の亜鉛の拡散を防ぎ、設計通りの不純物プロファイルを得るためのものである。しかしながら、このような比較的低温の成長温度を採用した場合、成長界面の清浄処理がよりいっそう困難

となる。一般に、エッティング性ガスによる成長界面の清浄処理は、雰囲気温度を高溫にするほど除去効率が高くなる。ところが、 InP 半導体系においては、清浄処理温度に上限が存在するため、成長界面の汚染が除去されにくく、特にシリコンの汚染が深刻な問題となる。本発明によれば、係る成長界面の汚染の問題を有効に解決することができる。

【0046】本発明の半導体装置の製造方法において、前記第一の半導体層および前記第二の半導体層を気相成長により形成する構成とができる。

【0047】本発明の半導体装置の製造方法において、前記第一の半導体層を形成する工程の後、前記第一の半導体層上にマスクを形成し、つづいて前記マスクを除去した後、前記第一の半導体層の表面を清浄処理する前記工程を実施する構成とができる。こうした工程を経た場合、第一の半導体層表面は再成長表面となり、大気による汚染、マスク材料の残存等により、表面に多くの不純物が付着しやすい。本発明によれば、こうした不純物を効率的に除去することができる。

【0048】

【発明の実施の形態】本発明における清浄処理の対象となる半導体層は、 $InGaAs$ 、 $InGaAsP$ 、 $AlGaInAs$ 、 $InAs$ などの InP 系、 $AlGaAs$ 、 $InGaP$ 、 $AlGaInP$ 、 $GaAsSb$ 、 $InGaAsN$ などの $GaAs$ 系、 GaN 、 $AlGaN$ 、 $GaInN$ 、 $AlGaInN$ 、 $BAIGaInN$ などの GaN 系等の $III-V$ 族化合物半導体； $ZnSe$ 、 $ZnTe$ 、 $MgZnSe$ 、 $MgZnCdSe$ 、 $MgZnSeTe$ 、 $ZnSeTe$ 、 ZnO 、 $MgZnO$ 、 $MgCdZnO$ 等の $II-V$ 族化合物半導体；等の化合物半導体のほか、シリコンおよびその化合物、ゲルマニウムおよびその化合物等の半導体により構成される。なお、本発明における清浄処理の対象となる半導体層は、3元系でも4元系以上の組成でもよい。

【0049】このうち、 $III-V$ 族化合物半導体層の表面に、素子の作型プロセスもしくは大気暴露によって付着した汚染物質の除去に本発明を適用した場合、顕著な効果が得られる。特に、従来技術によっては充分に除去することが困難であったシリコンの除去に適用すると、特に効果的である。

【0050】本発明におけるエッティング性物質としては、大多数の元素と結合して揮発性の化合物を形成する、ハロゲン元素またはその化合物を例示することができる。このうち、取り扱いが容易である点で、塩素(C)を含む原料であることが好ましく用いられる。

【0051】本発明におけるエッティング性物質としては、 t -塩化ブチル($(CH_3)_3CCl$: TBC)、ビスマスメチルアミノホスフィンクロライド($[(CH_3)_2N]_2PCl$: BDMAPCI)、塩化水素(HCl)や、塩化メチル(CH_3Cl)、四塩

化成素（ CCl_4 ）、ビスマスメチルアミノアルシンクロライド（ $[(\text{CH}_3)_2\text{N}_2\text{A}-\text{C}_1]$ ）、三塩化焼（ PCl_3 ）、三塩化鉛素 AsCl_3 、塩素（ Cl_2 ）や、同様の Br 系原料、 I 系原料、 F 系原料を例示することができる。このうち、 $\text{t}-\text{塩化ブチル}$ を用いると、清浄処理の対象となる半導体層のストリキメトリを比較的良好に維持しつつ効果的にエッティングを行うことができる。たとえば、上記半導体層が $\text{I}-\text{V}$ 族半導体で、エッティングガスが特定の V 族元素を含んでいない場合、清浄処理の対象となる半導体層がエッティングガス中に含まれるものと異なる種類の V 族元素を含んでいると、清浄処理中に表面に変性層が形成されてしまう問題がしばしば起こるが、 $\text{t}-\text{塩化ブチル}$ は V 族元素を含まないため、清浄処理中に変性層が形成されることがなく、好ましい。また、ビスマスメチルアミノホスフィンクロライドを用いた場合、エッティング能力の温度依存性が比較的抑制されるため、安定した清浄処理を行うことができる。

【0052】また、清浄処理の対象となる半導体層を構成する $\text{I}-\text{V}$ 族元素が一種類からなる場合、本発明の表面処理中に変成層の形成や組成変化を起こさいため望ましく、さらには第一の半導体を構成する $\text{I}-\text{V}$ 族元素がガリウム（ In ）、たとえば InP 、 InA_s 、 InN 、 InSb など、であるか、またはガリウム（ Ga ）、たとえば GaAs 、 GaP 、 GaN 、 GaSb など、である場合、より顯著な効果が現れる。

【0053】本発明は、半導体層の成長を気相成長装置を用いて実施する場合、顕著な効果が得られ、成長原料に有機金属を用いた有機金属気相成長（ MOCVD ：Metal Organic Vapor Phase Epitaxy）法の場合に、より顯著な効果が現れる。またの場合、結晶成長原料である水素化化合物及び有機金属ガスについては特に限定はされず、所望の化合物半導体を得るのに必要な水素化化合物及び有機金属化合物が用いればよい。

【0054】

【実施例】本発明の上記および他の目的、特徴および利点を明確にすべく、添付した図面を参照しながら、本発明の実施例を以下に詳述するが、本発明は、その要旨を超えない限り実施例に限定されるものではない。

【0055】第一の実施例

本実施例では、MOVPE法を用いて、 InP 上に InP を再成長させる場合の成長界面の残留不純物除去について説明する。エッティング作用を有する原料として、 $\text{t}-\text{塩化ブチル}$ （ $(\text{CH}_3)_2\text{N}_2\text{C}-\text{TBCl}$ ）を用い、結晶成長原料としては、トリメチルインジウム（ TMIn ）及びホスフィン（ PH_3 ）を用いた。図1のように Sn ドープ【001】 InP 基板101上に減圧（60 Torr）MOVPE法で1回目の成長層としてアンドープ InP 層103を1.0 μm 成長させた後、

一旦ウエハをMOVPE炉から取り出し、12時間大気曝露する。ウエット処理等は実施しない。その後、このウエハを再びMOVPE炉内に投入し、2回目の成長層として0.5 μm のアンドープ InP 層105を成長再成長させた。

【0056】2回目の成長開始直前の第二の成長界面104で、MOVPE炉内で TBCl と TMIn 及び PH_3 をウエハの表面に10分間供給して、表面清浄処理を行った（サンプルA）。この表面清浄処理時の TBCl の供給量は $19.4 \mu\text{mol}/\text{min}$ で、これは InP のエッティング速度にして $20.5 \text{nm}/\text{min}$ 相当し、 TMIn の供給量は $15.08 \mu\text{mol}/\text{min}$ 、 PH_3 の供給量は $2.68 \text{mmol}/\text{min}$ であり、これらは InP の成長速度にして $20.5 \text{nm}/\text{min}$ に相当する。従って、 TBCl による InP のエッティング速度と、 TMIn 及び PH_3 による InP の成長速度は等しく、この表面清浄処理中に1回目に成長したアンドープ InP 層103の層厚変化はない。また表面清浄処理時の基板温度は、625°Cとした。

【0057】比較の為に2回目の InP 層成長開始直前の第二の成長界面104での TBCl 、 TMIn 、及び PH_3 による表面清浄処理を行わずに2回目のアンドープ InP 層105の成長を開始したサンプル（サンプルB）も作製した。

【0058】サンプルA及びサンプルBの二つのサンプルの再成長界面での残留不純物濃度について2次イオン質量分析法（SIMS）を用い、アンドープ InP 層105をスパッタリングしながら深さ方向の分析を行った。

【0059】第二の成長界面104で TBCl 、 TMIn 、及び PH_3 による表面清浄処理を行わなかったサンプルBでは、第二の成長界面104に残留不純物として C 、 O 、 Si が検出され、その濃度はそれぞれ、面密度にして C ： $6.4 \times 10^{10} \text{ atoms}/\text{cm}^2$ 、 O ： $6.9 \times 10^{11} \text{ atoms}/\text{cm}^2$ 、 Si ： $1.2 \times 10^{12} \text{ atoms}/\text{cm}^2$ 相当であった。一方、第二の成長界面104で TBCl （ $19.4 \mu\text{mol}/\text{min}$ ）、 TMIn （ $15.08 \mu\text{mol}/\text{min}$ ）、及び PH_3 （ $2.68 \text{mmol}/\text{min}$ ）による表面清浄処理を行ったサンプルAでは、第二の成長界面104での C 、 O 、 Si 等の残留不純物はいずれも検出限界以下であった。ここで本測定での検出下限はそれぞれ、 C ： $6 \times 10^{12} \text{ atoms}/\text{cm}^2$ 、 O ： $6 \times 10^{10} \text{ atoms}/\text{cm}^2$ 、 Si ： $6 \times 10^7 \text{ atoms}/\text{cm}^2$ 相当であった。またエッティングガスとして導入した Cl_2 も全く検出されなかった。ここで Cl_2 の検出下限は、 $3 \times 10^7 \text{ atoms}/\text{cm}^2$ 程度であった。

【0060】なお、本実施例では第二の成長界面104の清浄処理を例にあげて説明したが、第一の成長界面102の清浄処理に本発明を適用することもできる。

【0061】第二の実施例

本実施例では、本発明をInP系半導体レーザ素子に適用した。本実施例では、活性層を島上層とする半導体多層膜を形成した後、活性層表面の一部を覆うマスクを形成し、このマスクの両脇の部分をエッティングにより除去し、メサストライプを設ける。その後、マスクをウエットエッティングにより除去した後、活性層表面に対して本発明に係る清浄処理を実施する。また、上記メサストライプを設けた後、その表面に對しても本発明に係る清浄処理を実施する。以下、図10を参照して本実施例について説明する。

【0062】まず通常の結晶成長プロセスにより、n型InP基板301上にInGaAsP/InGaAsP量子井戸307を活性層とするダブルヘテロ構造を作製し、S102をマスクとして、ドライエッティングにより深さ2μm程度の幅2μmのメサストライプ310を形成した。その後、このウエハをMOVPE炉内に導入し、第一の再成長界面308に第一の実施例と同じ条件で上記発明の表面清浄処理を施した後に、p型InP層302、n型InP層303、p型InP層304を順次積んで電流プロック構造を形成した。

【0063】次にこのウエハをMOVPE炉内に取り出し、S102マスクを通常のウエットエッティングプロセスにより除去した後、再びMOVPE炉内に投入し、第二の再成長界面309に再度本発明の上記表面清浄処理を第一の実施例と同様の条件下で実施した後、p型InPクラッド層305、p-InGaAsコントラクト層306を形成した。その後、通常の電極形成プロセス、素子分離プロセスを行い、埋め込み型レーザ素子を完成させた。

【0064】この素子の電圧-電流特性、電流-光出力特性を測定したところ、本発明の表面清浄処理を用いない従来の素子に比べて、スロープ効率が大幅に改善されると共に、高光出力時の電力-光出力特性変換率が大幅に改善され、同じ光出力を得るのに必要な駆動電圧が大幅に低減されていることが確認された。これは、本発明の表面清浄処理により電流プロック層形成前の第一の再成長界面308のS1等のn型残留不純物が減少したことにより、リーケ電流が減少し、またクラッド、コントラクト層形成前の第二の再成長界面309のS1等のn型残留不純物が減少したことにより、電流障壁が取り除かれ、駆動電圧の低下した効果によるものであると考えられる。なお、本実施例では、第一の再成長界面308および第二の再成長界面309の両方に表面清浄処理を施したが、いずれか一方、たとえば第二の再成長界面309に対してのみ清浄処理を施してもよい。

【0065】第三の実施例

本実施例では、清浄処理の条件を変更したこと以外は第一の実施例と同様にして半導体多層構造を作製し、第二の成長界面104でのC、O、S1等の残留不純物密度

を測定した。清浄処理の条件は表1に示した。表1の「処理条件」における各項目について、以下、説明する。

【0066】(i) ガスの種類

t-塩化ブチル((CH₃)₃CCl: TBCl)、ビスジメチルアミノホスファシンクロライド([(CH₃)₂]N₂PCl: BDMA-PCl)を用いた。

(ii) ガスの流量

MOVPE炉内へのガスの供給量を示す。

(iii) エッティング速度

表中に示された流量でエッティングガスのみを供給した場合のエッティング速度を示す。この値は予備実験により求められたものである。

(iv) 成長速度

表中に示された流量で成長ガスのみを供給した場合の成長速度を示す。この値は予備実験により求められたものである。

(v) 膜厚変化指數

層厚が増加する場合を正、層厚が減少する場合を負と定義し、成長速度とエッティング速度の和を「膜厚変化指數」と定義した。清浄処理工程の前後における層厚変化の指標となる。

(vi) ガス供給方式

連続方式とは、エッティングガスおよび成長ガスを一定時間連続的に供給する方式である。間欠方式とは、エッティングガスおよび成長ガスを一定時間、間欠的に供給する方式である。ガスを供給する時間とガスの供給を停止する時間を交互に繰り返す。

(vii) ウエットエッティング

アンドープInP層103の清浄処理の前に、エッティング液を用いたエッティング処理を行った場合、ウエットエッティング「有り」と表記した。

【0067】(試料1~4) エッティング作用を有する原液として、t-塩化ブチル((CH₃)₃CCl: TBCl)またはビスジメチルアミノホスファシンクロライド([(CH₃)₂]N₂PCl: BDMA-PCl)を用い、結晶成長原料としては、トリメチルインジウム(TMIn)及びホスファイン(PH₃)を用いた。図1のようにSnドープ【001】InP基板101上に減圧(60Torr)MOVPE法で1回目の成長層としてアンドープInP層103を1.0μm成長させた後、一旦ウエハをMOVPE炉から取り出し、12時間大気曝露する。その後、アンドープInP層103の表面を硫酸含有液によりウエットエッティングし、つづいて純水によりリンスを行った。

【0068】その後、このウエハを再びMOVPE炉内に投入し、表1に示す条件で清浄処理を行った後、2回目の成長層として0.5μmのアンドープInP層105を再成長させた。

【0069】各試料における清浄処理は以下のとおりで

ある。

【0070】試料1では清浄処理を行わなかった。

【0071】試料2では、2回目の成長開始直前の第二の成長界面104で、MOVPE炉内でTBCIとTMIn及びPH3をウエハの表面に10分間供給して、表面清浄処理を行った。各ガスの供給量等は表1に示したとおりである。ガスの供給は連続方式とした。清浄処理時の基板温度は、625°Cとした。処理前後におけるアンドープInP層103の層厚変化は認められなかつた。

【0072】試料3では、2回目の成長開始直前の第二の成長界面104で、MOVPE炉内で以下のよう処理を行つた。すなわち、(1) TBCIとTMIn及びPH3をウエハの表面に1分間供給した後、(1(i)) 15秒間、PH3を大量に供給してバージを行つ、というステップを、20回繰り返して実施した。各ガスの供給量等は表1に示したとおりである。清浄処理時の基板温度は、625°Cとした。処理前後におけるアンドープInP層103の層厚変化は100nm以下であった。

【0073】試料4では、2回目の成長開始直前の第二の成長界面104で、MOVPE炉内でビスマスメチルアミノホスフィンクロライド(BDMAAPCI)とTMIn及びPH3をウエハの表面に10分間供給して、表面清浄処理を行つた。各ガスの供給量等は表1に示したとおりである。ガスの供給は連続方式とした。清浄処理時の基板温度は、625°Cとした。処理前後におけるアンドープInP層103の層厚変化は認められなかつた。

【0074】(試料5～6)エッティング作用を有する原料として、t-塩化チル((CH3)3CCl:TBCl)またはビスマスメチルアミノホスフィンクロライド([(CH3)2N]2PCl:BDMAAPCI)を用い、結晶成長原料としては、テリメチルインジウム(TMIn)及びホスフィン(PH3)を用いた。図1のようにSnドープ[001]InP基板101上に減圧(60torr)MOVPE法で1回目の成長層としてアンドープInP層103を1.0μm成長させた後、一旦ウエハをMOVPE炉から取り出し、12時間大気曝露する。その後、ウエットエッティングを行なうことな

く、このウエハを再びMOVPE炉内に投入し、表1に示す条件で清浄処理を行つた。その後、2回目の成長層として0.5μmのアンドープInP層105を再成長させた。

【0075】各試料における清浄処理は以下のとおりである。

【0076】試料5では清浄処理を行わなかつた。

【0077】試料6では、2回目の成長開始直前の第二の成長界面104で、MOVPE炉内でTBCIとTMIn及びPH3をウエハの表面に10分間供給して、表面清浄処理を行つた。各ガスの供給量等は表1に示したとおりである。ガスの供給は連続方式とした。清浄処理時の基板温度は、625°Cとした。処理前後におけるアンドープInP層103の層厚変化は認められなかつた。

【0078】上記各試料の清浄処理中の層厚変化は、いずれも100nm以下であった。上記各試料について、第一の実施例と同様にしてSIMSにより残留不純物総密度を測定した。結果を表1および図2～7に示す。図2～7は、それぞれ試料1～6の測定結果に対応する。表1中、「n.d.」とは、検出不可であったことを意味する。試料NO.5においては、該当するビーカーに対応する濃度は算出されたものの、ノイズとの判別が困難であったため、参考値として数値を示した。なお、図2～7では、不純物濃度(単位:atoms/cm³)として算定された値(縦軸)を、面密度として換算し、この値を該当ビーカーに対応させて図中に記載した(単位:atoms/cm²)。

【0079】得られた結果より、以下のことが明らかになった。すなわち、膜厚変化指数が6nm以下(0.1nm/sec以下)となるようにエッティングガスと成長ガスの供給比を調整することにより、残留不純物密度が顕著に低減される。特にSiが効果的に除去される。また、ガス供給方式は、間欠式が効果的である。間欠供給とすることによって残留不純物密度が顕著に低減される。清浄処理前のウエットエッティングは、実施しない方が残留不純物密度が小さい。

【表1】

		試料	1	2	3	4	5	6
ガス	エッティング	時間	なし	TBCI	TBCI	BDMAAPCI	QL	TBCI
	濃度(mmol/min)		10	30	27			10
	エッティング時間		20.5	28.5	14.4			29.5
成長ガス	時間		TBCI + 1.0 mol/n	TBCI + n	TBCI + n			TBCI + n
	濃度(mmol/min)		10	27	14			16
	成長時間		20.5	34.0	12.9			20.5
成長炉内露点	露点(mol/mol)		0	-4.2	3.5			0
ガス供給方式	flow/flow		露点	露点	露点			露点
エッティング	時間	なし	なし	なし	なし			なし
作動気体	濃度(mmol/min)	なし	なし	なし	なし			なし
清浄条件	時間	なし	なし	なし	なし			なし
	ガス	1.25×10 ⁻²	2.25×10 ⁻²	5.0×10 ⁻²	5.45×10 ⁻²	4.35×10 ⁻²	0.0(1-H-42)	
	露点	5.05×10 ⁻²	2.25×10 ⁻²	8.0	8.0	8.0	8.0	

比を変化させて行ったものである。

【0081】図1と同様のサンプル構造において第二の成長界面104での表面清浄処理条件としては、エッティングガスであるTBCIの供給量を19.4μmol/min(1nPのエッティング速度にして20.5nm/min相当)、PbH₃供給量を2.68mmol/minと一定にし、TMInの供給量を0~30μmol/minの間で変化させて、10分間表面清浄処理を行い、続けてアンドープ1nP層105を成長した。続けてSIMS分析により第2界面の残留Si濃度について調べた。

【0082】図8は、第三の実施例における試料2のTMIn流量を変化させたもの(図中、「残留Si(連続型)」と表示)と、第三の実施例における試料3のTMIn流量を変化させたもの(図中、「残留Si(間欠型)」と表示)とが示されている。

【0083】図9は、第三の実施例における試料4のTMIn流量を変化させたものが示されている。

【0084】図8および図9には、残留Siの面密度と共に、TBCI及びTMInによる1nPの成長速度(即ちアンドープ1nP層103(第一の半導体層)の膜厚変化速度)を成長を正、エッティングを負として示した。

【0085】いずれの系においてもTMInの供給量と共に残留Si濃度が減少し、成長速度が0nm/secになる付近で、残留Si濃度は最小値を示し、さらにTMIn流量を増やすと、再び残留Si濃度は上昇した。これは、エッティングガスのTBCIのみを第二の成長界面104に供給した場合、表面の残留Siは揮発性の塩化物SiCl₄として一旦は表面から脱離するものの、Si-Clの結合が、Si-Clの結合に比べて弱く、Si-Clの結合がすぐに切れてまた表面に隙付着してしまうが、TMInをTBCIと同時に供給すると、SiがSi-Cl₄として表面から脱離するとともに、それまでSiが占有していた安定なIII-V族サイトがInで埋まり、一旦表面から脱離したSiが再び1nP表面に付着出来ず表面から脱離していくためと考えられる。従ってSiの脱離効率はTBCIによる1nPのエッティング速度とTMInによる1nPの成長速度が丁度釣り合うあたりで最大となる。TMInによる1nPの成長速度がTBCIによる1nPのエッティング速度を上回ると、今度はSiが脱離する前に、1nP層が成長してしまい、表面の清浄処理が行われなくなるため第二の成長界面104での残留Si濃度が上昇するものと考えられる。

【0086】図8および図9の結果から、0.1nm/sec以内の膜厚変化速度とした場合、特に膜厚変化が実質的ない場合に、残留Si濃度が顕著に低減されることが判明した。

【0087】以上、実施例に基づいて本発明を説明した

が、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【0088】たとえば上記実施例では、エッティング作用を有する原料として、TBCI、ビスマスメチルアミノホスファンクロライド([(CH₃)₂N₂PCl])を用いたが、他のCl系原料、例えば塩化炭素(HCl)や、塩化メチル(CH₃Cl)、四塩化炭素(CCl₄)、ビスマスメチルアミノアルシンクロライド([(CH₃)₂N₂AsCl])、三塩化硼(PCl₃)、三塩化砒素AsCl₃、塩素(Cl₂)や、同様のBr系原料、I系原料、F系原料を用いてよい。他の原料を用いる場合、原料の分解効率やエッティング効率は原料によって異なるが、基本的に上記実施例に示したようにエッティング原料による半導体層のエッティング速度と結晶成長原料による半導体層の成長速度をバランスさせることで最大のエッティング効率が得られ、同様の効果が得られる。

【0089】また上記実施例では、結晶成長法としてMOVPE法を使った場合を例として説明したが、他の成長手法、たとえば分子線エピタキシー(MBE)法やガスソースMBE(GSMBE)法、有機金属MBE(MOMBE)法、化学ビーム成長(CBE)法などを用つても良い。また上記実施例では、InP系材料について説明したが、本発明はこれに制限されるものではなく、GaAs、InAs、GaP、GaNなどの他のIII-V族化合物半導体やII-VI族化合物半導体などの半導体材料に適用可能である。

【0090】また基板温度については、上記実施例では、62.5°Cとしたが、通常の結晶成長が可能な温度範囲例えば1nPであれば400°C~700°C程度の間、GaAsであれば400°Cから800°Cの間であればよく、エッティング原料による半導体層のエッティング速度や結晶成長原料による半導体層の成長速度の基板温度による変化を補正して、両者がバランスさせることで最大のエッティング効率が得られ、同様の効果がある。

【0091】また、上記実施例では半導体層に対してエッティング作用有するエッティング性物質を含む第一のガスと結晶成長原料を含む第二のガスとを同時に半導体層表面に供給したが、これらを交互に供給する方式とすることもできる。この場合、半導体層の成長が過度に進行してしまうと充分な清浄度を実現することが困難となるため、1~3原子層程度の厚みの成長が進行した後、エッティングが行われるというように、成長ガスとエッティングガスの切り替えを迅速に行なうことが望ましい。

【0092】

【発明の効果】以上説明したように、本発明によれば、もとの半導体層中の不純物散在や結晶欠陥の発生を誘発することなく、また形状変化を最小限にして、結晶成長前の半導体基板表面や再成長前の半導体表面の不純物汚

染や物理的ダメージを再現性良く安定的に除去することが可能であり、成長界面を有する半導体素子の性能改善に大きな効果がある。

【図面の簡単な説明】

【図1】実施例で作製した半導体層の構造を示す図である。

【図2】実施例における残留不純物濃度のSIMS測定結果を示す図である。

【図3】実施例における残留不純物濃度のSIMS測定結果を示す図である。

【図4】実施例における残留不純物濃度のSIMS測定結果を示す図である。

【図5】実施例における残留不純物濃度のSIMS測定結果を示す図である。

【図6】実施例における残留不純物濃度のSIMS測定結果を示す図である。

【図7】実施例における残留不純物濃度のSIMS測定結果を示す図である。

【図8】実施例における残留Si濃度のTMIn供給量依存性を示す図である。

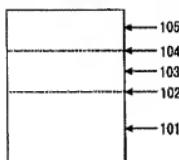
【図9】実施例における残留Si濃度のTMIn供給量依存性を示す図である。

【図10】第二の実施例における埋め込み型半導体レーザ構造を示す図である。

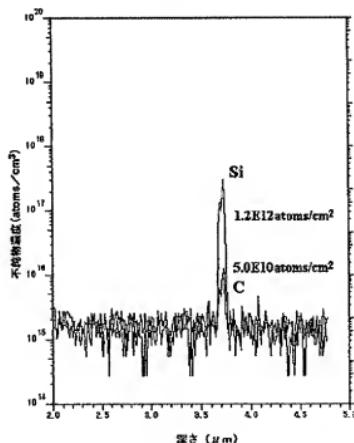
【符号の説明】

- 101 InP基板
- 102 第一の成長界面
- 103 アンドープInP層
- 104 第二の成長界面
- 105 アンドープInP層
- 301 n型InP基板
- 302 p型InP層
- 303 n型InP層
- 304 p型InP層
- 305 p型InPクラッド層
- 306 p-InGaAsコンタクト層
- 307 InGaAsP/InGaAsP量子井戸
- 308 第一の再成長界面
- 309 第二の再成長界面
- 310 メアストライプ

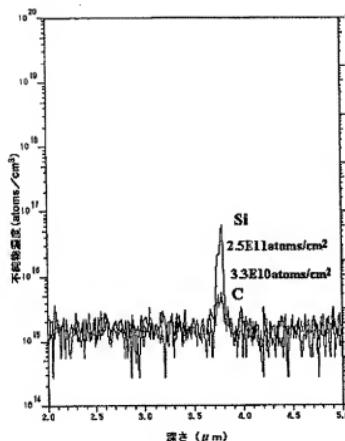
【図1】



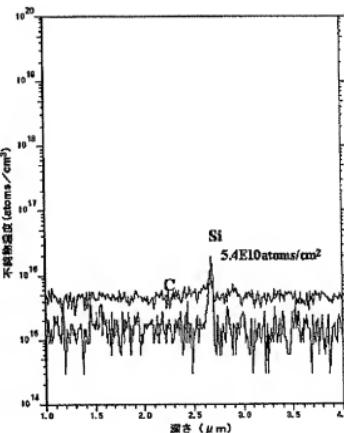
【図2】



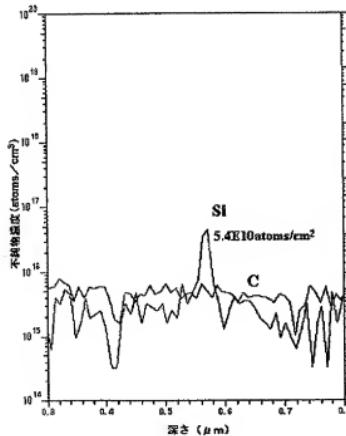
【図3】



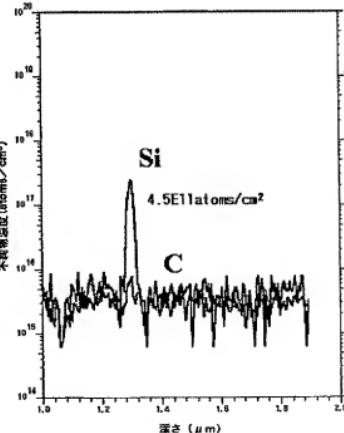
【図4】



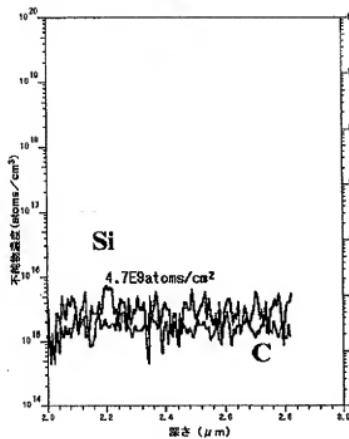
【図5】



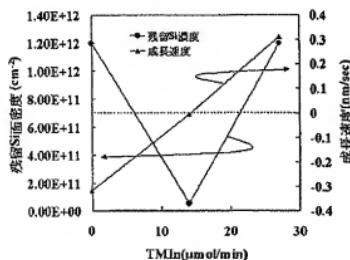
【図6】



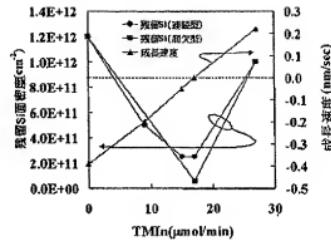
【図7】



【図9】



【図8】



【図10】

